

# Praktikumsprojekt

## Frequenzvervielfachung & Phase-Locked-Loops

Dies ist die kompakte Beschreibung zu einigen Experimenten rund um den integrierten Schaltkreis des 4046 Typs. Einige wichtige Stichwörter sind kursiv dargestellt. Bitte Schlagen Sie zur Vorbereitung des Versuchs mindestens dies nach und verinnerlichen die Themen nochmals. Das ist für die Durchführung der Experimente unerlässlich. Die Experimente sind nicht schwierig, greifen aber auf viele Themen des Elektronikpraktikums zurück, die Sie sich noch einmal in Erinnerung rufen sollten. Einige Konzepte werden neu vorgestellt und sind nicht vollkommen trivial, so dass in jedem Fall etwas Vorbereitung nötig ist. Da sich Informationen dazu an vielen Stellen in der Literatur und auch im Netz finden, werden i.d.R. keine konkreten Literaturverweise angeführt. Netzsuche hilft im Normalfall.

### 1 Einleitung

Die generierung von Signalen unterschiedlicher Frequenzen, die dabei in einer bekannten Phasenbeziehung zueinander stehen, ist ein gängiges Problem in vielen Bereichen der Technik (z.B. Synchronisierung von Komponenten in digitalen Netzwerken & Computern – man denke an unterschiedliche Kommunikationsschnittstellen wie Speicherzugriff, USB, Ethernet etc., welche alle mit unterschiedlichen Taktfrequenzen betrieben werden aber, zur Vermeidung von Datenverlust, dennoch genau mit dem Prozessortakt der Zentralenrecheneinheit synchronisiert sein müssen.) Aber auch in der physikalischen Messtechnik, wenn z.B. Übergänge zwischen Atomaren Zuständen kohärent getrieben werden sollen, müssen mehrere Oszillatoren unterschiedlicher Frequenz phasenkohärent zueinander laufen.

### 2 Frequenzteilung

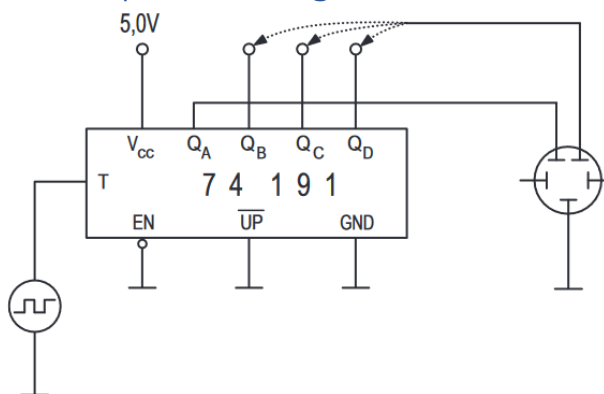


Abbildung 1: Schaltung aus Versuch 10.2. Die Ausgänge QA, QB, QC, QD oszillieren mit  $f/2$ ,  $f/4$ ,  $f/8$  und  $f/16$ .

Wir erinnern uns an den Versuchstag V10. (Abb. 1 zeigt die einfachste Schaltung des Tages, bei dem die Ausgänge QA bis QD eines Zähler ICs betrachtet wurden.) Das Herunterteilen einer Eingangsfrequenz haben wir dort bereits betrachtet. Im einfachsten Fall waren Teilungsverhältnisse in Zweierpotenzen durch Hintereinanderschalten von Flip-Flops oder die Verwendung der Ausgänge der einzelnen Zählerstufen eines integrierten Zähler sehr leicht möglich. Auch die Realisierung beliebiger ganzzahliger Teilungsverhältnisse wurden in Versuch 10.2.c in Form des Modulo 10 Zählers untersucht. In allen Fällen waren die Signale trotz unterschiedlicher Frequenzen phasenkohärent zueinander, dh. Triggert man ein oszilloskop auf die niedrigere der Frequenzen, ergibt sich für die höhere ein stabiles bild auf dem Oszilloskop.

Was aber, wenn aus einer gegebenen niederen Frequenz eine phasenstarre höhere Frequenz erzeugt werden muss?

### 3 Phasenregelschleifen (Phase-Locked-Loops / PLL)

Das zur Lösung dieses Problems verwendete Mittel sind so genannte Phasenregelschleifen bzw. *Phase-Locked-Loops*, meistens nur abgekürzt mit *PLL* bezeichnet. Allgemein dienen diese Schaltungen dazu, die Phasen zweier unabhängiger Oszillatoren zu vergleichen, aus der Phasendifferenz ein Signal zu generieren, welches als Steuersignal für einen der Oszillatoren dient, und damit eine Gegenkopplung zu erreichen, die die Frequenz des zweiten Oszillators so nachführt, dass die Phasendifferenz minimiert wird. So entsteht ein zweites Signal, dessen Parameter so nachgeführt werden, dass es in Frequenz und Phase eine möglichst exakte Kopie des ersten darstellt. Die beiden zentralen Elemente dieser Schaltung sind ein *Phasenkomparator* und ein *spannungsgesteuerter Oszillator (VCO)*.

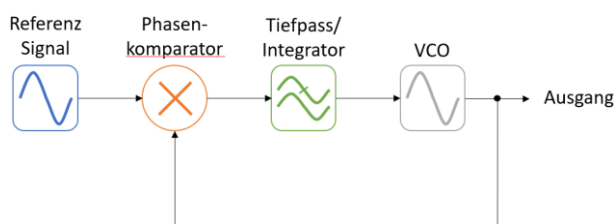


Abbildung 2: Einfache PLL Schaltung

Abbildung 2 zeigt schematisch eine solche Schaltung als Blockdiagramm. Die Phasen des Referenzsignals und des vom VCO erzeugten Signals werden verglichen und daraus ein Regelsignal für den VCO generiert wird, der damit so geregelt werden soll, dass das Ausgangssignal eine „Kopie“ des Eingangs mit derselben Frequenz und verschwindender (oder zumindest fester) relativer Phase zur Referenz darstellt. Für den Phasenkomparator gibt es mehrere digitale und analoge Realisierungsmöglichkeiten von denen zwei auf den von uns im Experiment verwendeten ICs CD4046, HEF4046 o.ä. integriert sind. Als digitale Phasenkomparatoren kommen z.B. XOR-Gatter oder *D-Flip-Flops* zum Einsatz. Beide finden sich auch auf den IC und die auf dem XOR basierende Version wird im Folgenden verwendet<sup>1</sup>.

#### 3.1 XOR als Phasendetektor

Bei einem XOR stellt sich am Ausgang eine logische 1 ein, wenn genau eines der beiden Signale an den Eingängen ebenfalls den Wert 1 hat. Sind beide gleich 1 oder beide 0, ist auch der Ausgang 0. Haben die beiden Signale also eine konstante Phase von  $0^\circ$  zueinander, so ist der Ausgagn immer 1, sind sie um  $180^\circ$  verschoben, ist der immer 0. Sind die Signale genau um  $90^\circ$  versetzt, erhält man genau so oft eine 1 wie eine 0 am Ausgang. Zeitlich über einige Perioden gemittelt stellt sich also der Mittelwert 0.5 ein. Dies lässt sich nutzen um ein Steuersignal für einen Oszillator zu erzeugen, das wenn die Signale Phasengleich sind, eine Korrektur der Frequenz des VCO in die eine Richtung und wenn Sie um  $180^\circ$  versetzt sind in die andere Richtung vornimmt. Dadurch stellt sich im stationären Zustand die Situation ein, bei der beide Signale gerade um  $90^\circ$  zu einander gehalten werden. Dies lässt sich im Experiment gut zeigen.

<sup>1</sup> In dieser Versuchsbeschreibung wird nur ein Überblick über die Themen gegeben. **Lesen Sie dazu unbedingt auch weitere Literatur** (Suche z.B. nach „PLL“ im Netz hilft) und vor allem auch das Datenblatt des HEF4046 (der Chip ist funktional identisch mit CD4046 aber von einem anderen Hersteller und besitzt das ausführlichere und etwas modernere Datenblatt.)

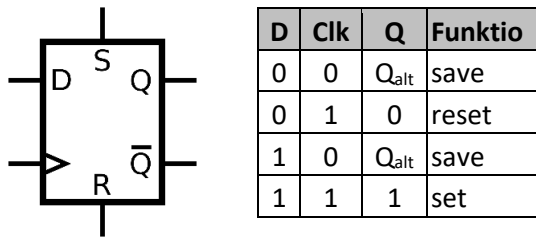


Abbildung 3: D Flip-Flop mit seiner Wahrheitstabelle

Wie man an der Wahrheitstabelle des D-Flip-Flops in Abb. 3 erkennt, ist der Ausgang Q immer dann 1, wenn bei der letzten 1 des clk (clock) Eingangs auch der D Eingang 1 war, sonst 0. Wenn also der D-Eingang dem Clock Eingang vorseilt, bekommt man eine logische 1. Eilt das Signal am Clk Eingang dem am D-Eingang voraus, eine logische 0. Tatsächlich wird auf die aufsteigende Flanke des CLK Eingangs getriggert und der Zustand des D Eingangs zu diesem Zeit in Q gespeichert. Der Wert Q zeigt demnach an, welche der beiden Signalflanken momentan vorseilt und ist daher ebenfalls geeignet, um durch Tiefpass Filterung / Integration ein Steuersignal zur Korrektur der Phase zu erzeugen wie es zur Realisierung der Steuerung wie in Abb. 2 benötigt wird.

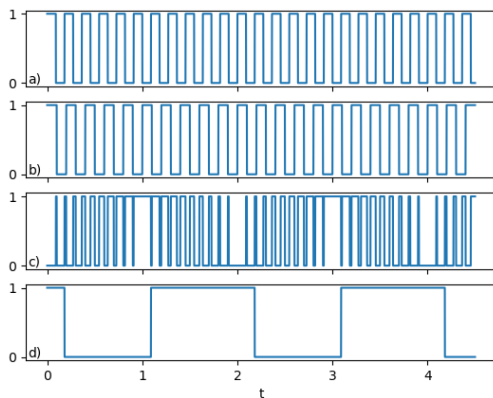


Abbildung 4: Die beiden unteren Diagramme zeigen (c) das Ergebnis einer XOR Verknüpfung bzw. (d) eines Phasenvergleichs mittels D-Flip-Flop der beiden in (a) und (b) gezeigten Signale, welche ähnliche Frequenzen haben, so dass im Schaubild die Phase sich langsam zeitlich ändert. Im Fall (d) dient das Signal (a) als clk und (b) ist am D Eingang angeschlossen.

Der Regelkreis wird geschlossen, indem das vom VCO erzeugte Signal am D Eingang und ein Referenzsignal am clk Eingang angeschlossen wird. Das Ergebnis des Vergleichs am Q Ausgang wird über eine gewisse Zeit integriert und wird mit dem Steuereingang des VCO verbunden. Hat die Steigung des integrierten Signals das richtige Vorzeichen, so erfolgt die Korrektur der Frequenz aus dem VCO in die richtige Richtung bis sich ein Gleichgewichtszustand einstellt, wenn beide Signale exakt die selbe Frequenz und eine bestimmte Phasenbeziehung zueinander haben. Im Fall des D-FlipFlops

## 4 Erzeugung größerer Frequenzen

Das zuvor vorgestellte Konzept kann nun erweitert werden, um aus einer niedrigen Frequenz eine (wesentlich) höhere Frequenz mit fester Phasenbeziehung zur Referenz zu erzeugen. Dies stellt eine gängige Anforderung in der Mikroelektronik dar, wo z.B. aus einem Signal eines Quarzoszillators von vielleicht 10 oder 50 MHz, Bustaktfrequenzen von hunderten von MHz oder interne Prozessor Takte im GHz Bereich phasenstarr erzeugt werden.

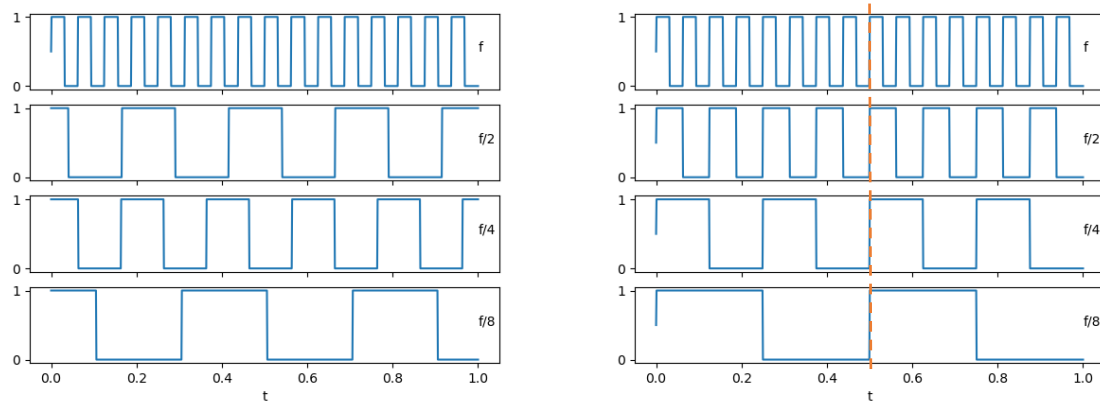


Abbildung 5: Links 4 Signale deren Frequenzen in geradzahigen Verhältnissen zueinander stehen, deren Phasen aber unabhängig voneinander und zufällig sind. Es fallen nie die Flanken zweier Signale zeitlich aufeinander. Rechts dieselben Frequenzen, jedoch mit fixen Phasenrelationen zwischen ihnen. Alle paar Takte (hier z.B. bei  $t = 0.5$ ) fallen die Flanken der Signale exakt aufeinander. Dadurch ist exaktes timing mit vorhersehbaren Wartezeiten, z.B. zwischen unterschiedlichen Datenbussen, möglich.

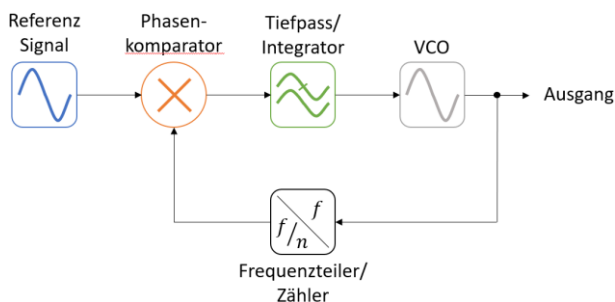


Abbildung 6: Rückgekoppeltes System mit einem in die Rückkopplung eingefügten  $n$ -fachen Frequenzteiler.

Um solch eine Phasenregelung zwischen zwei Signalen unterschiedlicher Frequenz zu realisieren, wird die Frequenz des vom VCO erzeugten Signals nun wie in Abb. 6 dargestellt vor dem Vergleich mit der Referenz ein Frequenzteiler zwischengeschaltet. Wie oben im Abschnitt 2 diskutiert, ist dies leicht durch einen Zähler mit ausreichender Bit-Tiefe prinzipiell für beliebige ganze Zahlen  $N$  möglich.<sup>2</sup> Regelt das System nun also die Steuerspannung und damit die Frequenz des VCO so, dass die durch  $N$  geteilte Frequenz des VCO mit dem Referenzfrequenz übereinstimmt und phasenstarr zu ihr ist, so hat das vom VCO stammende Signal die  $N$ -fache Frequenz der Referenz und ist phasenstarr zu ihr. Dabei lässt sich (durch lange Integrationszeiten) so große Präzision erreichen, dass z.B. aus einem Signal, das nur genau einen Puls pro Sekunde, diesen jedoch mit Atomuhr-Genauigkeit, liefert, wieder ein phasenstarr geregeltes Signal mit etlichen MHz erzeugt werden kann, welches immer noch nahezu die Präzision des ursprünglichen Signals, mit Abweichungen der Flanken lediglich im Bereich von hunderten von Femtosekunden oder weniger, erreicht.

<sup>2</sup> Teilt man die Referenz ebenfalls vor dem Vergleich durch einen anderen ganzzahligen Faktor  $R$ , sind auch fraktionale Frequenzverhältnisse zwischen Referenz und erzeugtem Signal realisierbar (siehe hierzu z.B. Kapitel 3 der Arbeit „Design of an Integrated Fractional Frequency Divider Circuit“). Durch einen Trick, der sich zunutze macht, dass die Regelung langsamer sein kann (bzw. zum Erreichen hoher Präzision sogar muss) als die Signalfrequenz, sind durch periodische Variation des Teilers um  $\pm 1$  bei unterschiedlich langer Verweildauer auf dem größeren oder kleineren Teiler tatsächlich auch beliebige rationale Teiler Verhältnisse mit höchster Präzision möglich.

## 5 Die Experimente

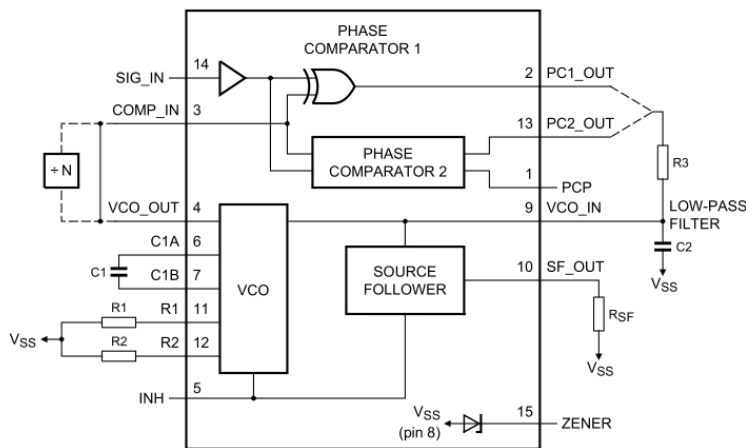
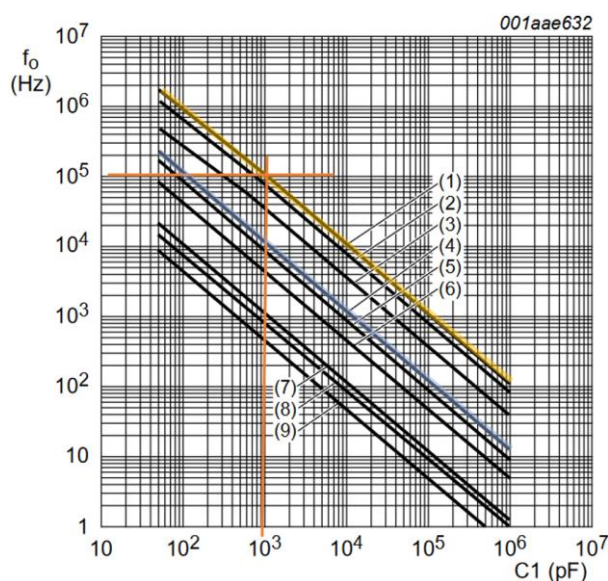


Abbildung 7: Blockschaltbild der auf dem IC CD4046 bzw. HEF4046 enthaltenen Komponenten

Die Frequenz, bei der der VCO bei einer bestimmten Steuerspannung oszilliert, hängt zusätzlich noch von mehreren weiteren Größen ab. Dies wird ausführlich im Datenblatt des IC diskutiert. Lesen Sie sich die Abschnitte sorgfältig durch.

### 5.1 Vorbereitung: Dimensionierung des RC Wertes für den VCO

Wir wollen später einen Zähler IC ähnlich dem im Versuch V10 und V11 verwendeten einsetzen, um die Frequenzteilung vorzunehmen. Dieser CD4040, HEF4040 o.ä. ist ein Binärzähler mit insgesamt 12 Stufen. D.h. wir werden vielfache von  $2^1$  bis  $2^{12}=4096$  erzeugen können. Der VCO akzeptiert als Steuerspannung Werte zwischen 0 V und der Versorgungsspannung  $V_{DD}=5$  V dabei ist die Frequenz umso höher, je größer die Steuerspannung am Eingang VCOIN des ICs ist. Der Zusammenhang ist dabei logarithmisch. (Machen Sie sich klar, was das genau bedeutet.) Wollen wir Referenzsignale verwenden, deren Frequenz mindestens 50 Hz beträgt, Teilverhältnisse bis ca. 1000 realisieren und etwas Spielraum, welche Frequenz durch den VCO erzeugt werden, haben, so erscheint eine Frequenz von ca.  $f_0=125$  kHz bei halber Steuerspannung sinnvoll, da dann maximal 500 kHz erzeugt werden können.



$T_{amb} = 25$  °C; VCO\_IN at  $0.5V_{DD}$ ; INH\_IN at  $V_{SS}$ ;  
 $R_2 = \infty$ .

Lines (1), (4), and (7):  $V_{DD} = 15$  V;  
 Lines (2), (5), and (8):  $V_{DD} = 10$  V;  
 Lines (3), (6), and (9):  $V_{DD} = 5$  V;  
 Lines (1), (2), and (3):  $R_1 = 10$  k $\Omega$ ;  
 Lines (4), (5), and (6):  $R_1 = 100$  k $\Omega$ ;  
 Lines (7), (8), and (9):  $R_1 = 1$  M $\Omega$ .

Abbildung 8: Zusammenhang zwischen Wert von C1 und erzeugter Frequenz bei  $0.5 \cdot V_{DD}$  also halber Steuerspannung. R2 ist offen und unsere Versorgungsspannung ist  $V_{DD} = 5$  V.

Datenblätter von ICs enthalten grundsätzlich alle Informationen, die nötig sind, um die Komponenten einzusetzen, in Schaltungen zu integrieren, die Beschaltung korrekt auszulegen und Dinge wie Stromverbrauch in Ruhe und unter Last, Heizleistung, benötigte Kühlfläche, elektromagnetische Empfindlichkeit usw. zu berechnen. (Bei komplexeren Schaltungen wie Mikrokontrollern o.ä. gibt es oft auch zusätzlich noch ein ausführlicheres Handbuch, hier genügt aber das Datenblatt.) Laut Datenblatt kann die kleinste zu erzeugende Frequenz durch R2 begrenzt werden, das wollen wir aber nicht tun und so lassen wir im weiteren Verlauf den Ausgang R2 offen ( $R2 = \infty$ ). Zur Dimensionierung von R1 und C1 muss die Figur 6 aus dem Datenblatt herangezogen werden (siehe Abb. 8). Das Vorgehen wird in „11.1. VCO component selection“ beschrieben. Demnach ist das Diagramm wie folgt zu verstehen: Wollte man bei einer Versorgungsspannung von 15 V bei  $V_{COIN} = 7.5$  V eine Frequenz von 100 kHz erzeugen, so gäbe es zwei mögliche Kombinationen von R1 und C1, die dies erlaubten. Für  $V_{DD} = 15$  V gelten die Kurven ①, ④ und ⑦. Zieht man von 100 kHz auf der vertikalen Achse eine horizontale Linie nach rechts, werden zwei der Kurven dadurch geschnitten (blau und gelb markiert). Wählen wir die gelbe Linie, so können wir auf der horizontalen Achse ablesen, dass dafür eine Kapazität C1 von 1 nF nötig wäre.

Dimensionieren Sie nun für unseren Versuch R1 und C1, indem Sie die entsprechenden Schritte für  $V_{DD} = 5$  V und  $f_o = V_{DD}/2$ .

## 5.2 Versuch 1: Testen des VCO

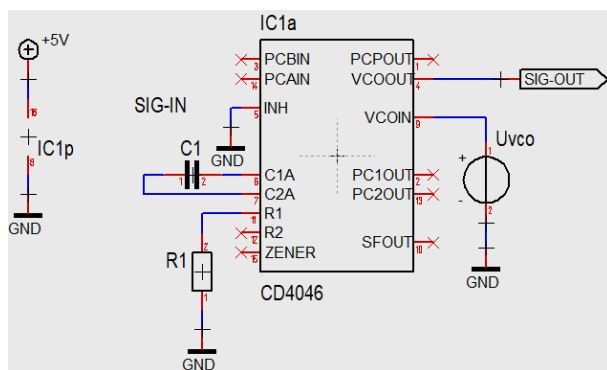


Abbildung 9: Schaltung zum Testen des VCOs.

Bauen Sie Schaltung aus Abb. 9 auf. Achten Sie bitte unbedingt darauf, dass die Versorgungsspannung im gesamten Versuch 5 V beträgt. Trennen Sie alle evtl. noch von früheren Versuchen bestehenden Verbindungen von +/- 15 V zum Steckbrett ab und achten Sie später darauf, nicht versehentlich einmal z.B. +15 V statt 5 V zu verbinden. Verwenden Sie zunächst zur Ansteuerung des VCO das TTI Netzgerät (Überspannungsschutz bei 5.5 V, Strombegrenzung auf 10 mA). Untersuchen Sie den Zusammenhang zwischen erzeugter Frequenz und Steuerspannung (manuell oder mit LabView. Logarithmische Darstellung.) Vergewissern Sie sich, dass die Beobachtung mit den Bedingungen, die Sie zuvor bei der Dimensionierung gestellt haben, ungefähr übereinstimmt. Modulieren Sie z.B. auch die Steuerspannung. Kann der VCO einem Sprung der Steuerspannung folgen? Wenn ja wie? Kann der Sprung beliebig groß sein? ...

### 5.3 Funktion des Phasendetektors

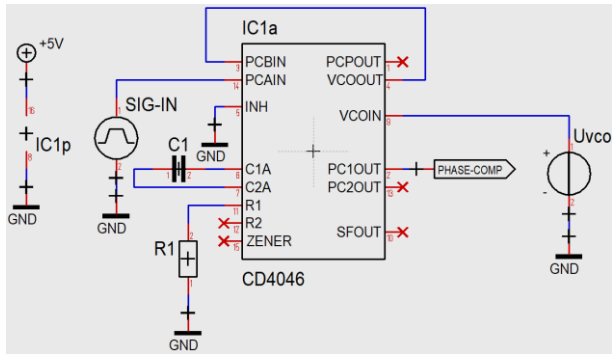


Abbildung 10: Untersuchung der Funktionsweise des Phasendetektors

Verbinden Sie im nächsten Schritt den Signalausgang des VCO mit dem Eingang A des Phasenkomparators. Wir wollen nun dessen Funktion untersuchen. Dazu legen wir ein Vergleichssignal vom Funktionsgenerator (SYNC Ausgang verwenden) an Eingang B des Phasenkomparators. Wählen Sie eine sinnvolle Steuerspannung für den VCO. Wenn Sie nun am Signalgenerator eine Frequenz einstellen, die sehr nahe (höchstens wenige Hertz Differenz) an der Frequenz des VCO Signals liegt, gibt es eine langsame Schwebung zwischen den beiden Signalen, die sich am Ausgang des Phasenkomparators beobachten lassen sollte. Betrachten Sie zunächst dafür beide Signale direkt gleichzeitig auf dem Oszilloskop und stellen Sie die Frequenzen entsprechend auf eine langsame Schwebung ein. Legen Sie anschließend den Ausgang des Phasenkomparators auf einen der Oszilloskop Eingänge und triggern Sie auf den anderen Eingang. Was beobachten Sie auf dem Schirm?

### 5.4 Dimensionierung des Filters und Rückkopplung

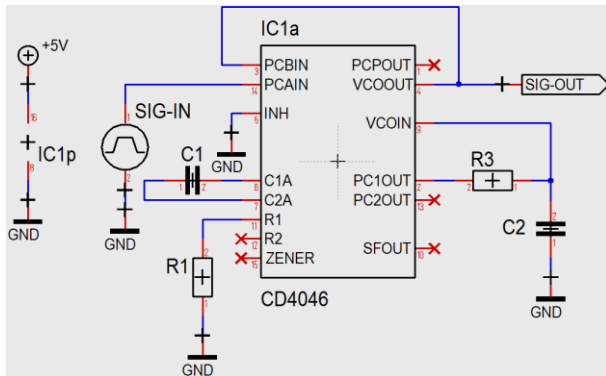
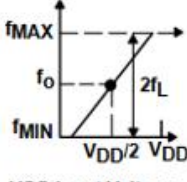
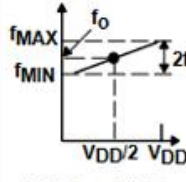
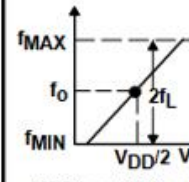
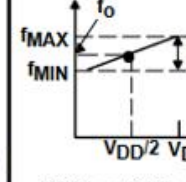
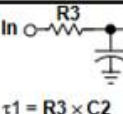
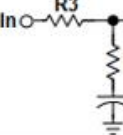


Abbildung 11: Rückkopplung des Systems über ein Filternetzwerk.

Um ein brauchbares Rückkopplungssignal zu erhalten muss das eben beobachtete Phasenvergleichssignal durch einen Tiefpass gefiltert werden. Machen Sie sich klar, warum das Signal nach dem Filter Werte zwischen 0 V und 5 V annehmen kann. Welche Frequenzen sind damit am VCO einstellbar? Der Filter muss dimensioniert werden. Dazu gibt es von Texas Instruments eine „Application note“. Die zusammenfassende Tabelle daraus ist in Abbildung 12 zu sehen. Relevant für uns ist die linke Spalte (kein Offset, d.h. R2 ist offen und Phasenkomparator 1). Der Eingangsbereich  $f_c$  für die Frequenz, d.h. der Bereich, indem die Rückkopplung von einer Startfrequenz in der Lage ist, den VCO auf die gewünschte Zielfrequenz zu ziehen, hängt von der Zeitkonstante des Filters ab. (Warum?) Wir wollen, dass der Eingangsbereich möglichst dem gesamten vom VCO abgedeckten Bereich  $f_L$  entspricht. Setzen Sie also  $f_c = f_L$  und berechnen Sie damit wie in der Tabelle gezeigt die Zeitkonstante  $\tau$ . Wählen Sie eine sinnvolle Kombination aus  $R_3$  und  $C_2$ , die diese Zeitkonstante in etwa ergibt und sich mit den Bauteilen im EP leicht realisieren lässt.



| CHARACTERISTICS                                  | USING PHASE COMPARATOR I                                                                                                                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | USING PHASE COMPARATOR II                                                                                                                                                                                                                    |                                                                                                                                                                                                                                                                                                                                                   |
|--------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|                                                  | VCO WITHOUT OFFSET<br>$R2 = \infty$                                                                                                           | VCO WITH OFFSET                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | VCO WITHOUT OFFSET<br>$R2 = \infty$                                                                                                                                                                                                          | VCO WITH OFFSET                                                                                                                                                                                                                                                                                                                                   |
| VCO frequency                                    |                                                              |                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                                            |                                                                                                                                                                                                                                                                |
| For no signal input                              | VCO in PLL system adjusts to center frequency, $f_0$                                                                                          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | VCO in PLL system adjusts to lowest operating frequency, $f_{min}$                                                                                                                                                                           |                                                                                                                                                                                                                                                                                                                                                   |
| Frequency-lock range, $2f_L$                     | $2f_L = \text{full VCO frequency range}$<br>$2f_L = f_{max} - f_{min}$                                                                        |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                                                                                                                                                                              |                                                                                                                                                                                                                                                                                                                                                   |
| Frequency capture range, $2f_C$                  | <br>$\tau_1 = R3 \times C2$                                  | See Notes 1 and 2<br>$2f_C = \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{\tau_1}}$                                                                                                                                                                                                                                                                                                                                                                                                                                            | $f_C = f_L$                                                                                                                                                                                                                                  |                                                                                                                                                                                                                                                                                                                                                   |
| Loop filter-component selection                  | <br>For $2f_C$ , see Note 2                                  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                                                                                                                                                                              |                                                                                                                                                                                                                                                                                                                                                   |
| Phase angle between signal and comparator inputs | 90 degrees at center frequency ( $f_0$ ), approximating 0 degree and 180 degrees at ends of lock range ( $2f_L$ )                             |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | Always 0 degrees in lock                                                                                                                                                                                                                     |                                                                                                                                                                                                                                                                                                                                                   |
| Locks on harmonics of center frequency           | Yes                                                                                                                                           |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | No                                                                                                                                                                                                                                           |                                                                                                                                                                                                                                                                                                                                                   |
| Signal input noise rejection                     | High                                                                                                                                          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | Low                                                                                                                                                                                                                                          |                                                                                                                                                                                                                                                                                                                                                   |
| VCO component selection                          | <ul style="list-style-type: none"> <li>Given: <math>f_0</math></li> <li>Use <math>f_0</math> with Figure 9a to determine R1 and C1</li> </ul> | <ul style="list-style-type: none"> <li>Given: <math>f_0</math> and <math>f_L</math></li> <li>Calculate <math>f_{min}</math> from the equation <math>f_{min} = f_0 - f_L</math></li> <li>Use <math>f_{min}</math> with Figure 9b to determine R2 and C1</li> <li>Calculate <math>\frac{f_{max}}{f_{min}}</math> from the equation <math>\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}</math></li> <li>Use <math>\frac{f_{max}}{f_{min}}</math> with Figure 9c to determine ratio R2/R1 to obtain R1</li> </ul> | <ul style="list-style-type: none"> <li>Given: <math>f_{max}</math></li> <li>Calculate <math>f_0</math> from the equation <math>f_0 = \frac{f_{max}}{2}</math></li> <li>Use <math>f_0</math> with Figure 9a to determine R1 and C1</li> </ul> | <ul style="list-style-type: none"> <li>Given: <math>f_{min}</math> and <math>f_{max}</math></li> <li>Use <math>f_{min}</math> with Figure 9b to determine R2 and C1</li> <li>Calculate <math>\frac{f_{max}}{f_{min}}</math></li> <li>Use <math>\frac{f_{max}}{f_{min}}</math> with Figure 9c to determine the ratio R2/R1 to obtain R1</li> </ul> |

NOTES: 1. F. Gardner, *Phase-Lock Techniques*, John Wiley and Sons, New York, 1966.  
2. G.S. Moschytz, Miniaturized RC Filters Using PLL, *BSTJ*, May 1965.

Abbildung 12: Bestimmung der Werte R3 und C2 für den Tiefpass Filter

Koppeln Sie damit nun das Ergebnis des Phasenvergleichs auf die Steuerspannung VCOIN zurück und beobachten Sie den Ausgang des VCO am besten gleichzeitig mit dem vorgegebenen Referenzsignal. Der VCO sollte dem Referenzsignal stabil folgen und außer einer stabilen Phasendifferenz von 90° (verifizieren!) dem Frequenzgenerator folgen. Probieren Sie aus, ob das für den gesamten erreichbaren Frequenzbereich funktioniert. Modulieren Sie die Referenzfrequenz von Hand, mit unterschiedlicher Modulationsweite und Geschwindigkeit usw. Folgt die Phasenregelung auch einem Sprung der Frequenz? Kann der Sprung beliebig groß sein? usw.



## 5.5 Integration der Frequenzteilung

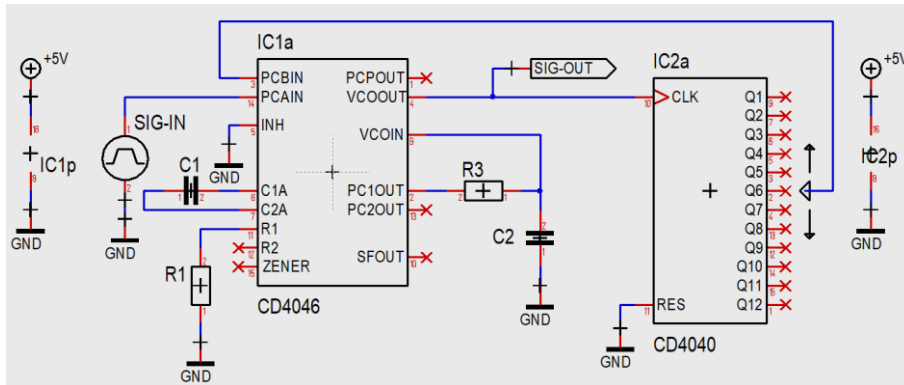


Abbildung 13: Frequenzvervielfachung

Nun soll vor dem Vergleich eine Frequenzteilung des VCO Ausgangssignals erfolgen. Integrieren Sie den Bauein CD4040 in die Schaltung wie in Abb. 13 dargestellt. Auch CD4040 wird mit GND und 5 V versorgt. Untersuchen Sie die Funktion der Schaltung und die Qualität der Signale.